

CI23241 数据手册

高性能神经网络智能语音芯片



• 神经网络处理器（BNPU）

- BNPU V3.5，支持 DNN\TDNN\RNN\CNN 等神经网络及并行矢量运算，可实现高性能的语音识别和语音降噪等功能

• CPU 和存储器

- CPU 主频可达 210 MHz
- 内置 1MBytes Flash 存储器
- 内置 288KBytes SRAM
- 内置 256bit eFuse，可用于应用加密

• Audio Codec

- 高性能低功耗 audio ADC， $\text{SNR} \geq 95\text{dB}$
- 低功耗 audio DAC， $\text{SNR} \geq 95\text{dB}$

• PWM

- 支持 4 路 PWM 接口

• GPIO

- 11 路高速 GPIO，翻转频率可达 20MHz
- 5 路 GPIO 支持 5V 电平通讯

• 复位和电源管理

- 供电电压范围 3.6V~5.5V
- 内置 PMU 电源管理单元
- 内置上电复位（POR）
- 内置电压检测（PVD）

• 时钟

- 内置 RC 振荡器
- 蓝牙外置晶振输入

• 通讯接口

- 1 路 IIC 接口
- 2 路 UART 接口，支持 5V 电平通讯，最高支持 3Mbps 通讯速率

• 定时器和看门狗

- 内置 2 组 32 位定时器和 1 个看门狗

• 无线特性

- BLE 5.4
- +5 dBm Max TX 功率
- 98 dBm RX 灵敏度@ BLE 1 Mbps

目录

1 概述 3

 1.1 功能描述 3

 1.2 芯片规格 4

2 引脚图和功能描述 6

 2.1 引脚图 6

 2.2 管脚描述 7

 2.3 复用功能 9

3 电气特性 10

4 封装信息 12

5 订购信息 13

6 应用方案 14

 6.1 应用参考电路图 14

 6.2 射频相关说明 16

 6.2.1 传导匹配 16

 6.2.2 天线匹配 16

 6.2.3 阻抗要求 16

 6.2.4 静电防护 16

 6.2.5 可测试性 16

 6.3 其它应用注意事项 17

1 概述

1.1 功能描述

CI2324X 是启英泰伦研发的新一代高性能神经网络智能语音蓝牙芯片，集成了启英泰伦自研的脑神经网络处理器 BNPU V3.5 和 CPU 内核，系统主频可达 210MHz，内置高达 288KByte 的 SRAM，集成 PMU 电源管理单元和 RC 振荡器，集成单通道高性能低功耗 Audio Codec 和多路 UART、IIC、PWM、GPIO 等外围控制接口，集成高性能低功耗蓝牙 BLE。CI2324X 芯片仅需少量电阻电容等外围器件，即可实现各类智能语音产品硬件方案，性价比极高。

CI2324X 采用工业级设计标准，具有很好的环境可靠性，其工作温度范围-40℃~+85℃，符合 MSL3 级湿敏等级、符合 IEC 61000-4-2 的 4KV 接触放电试验标准、符合 RoHS 和 REACH 环保标准。

CI2324X 采用启英泰伦新一代 BNPU 技术，该技术支持 DNN\TDNN\RNN\CNN 等神经网络及并行矢量运算，可实现高性能语音识别、语音降噪等功能，具备强劲的环境噪声抑制能力。CI2324X 还支持蓝牙 BLE 5.4 的收发，可使用手机小程序远程控制设备。CI2324X 方案还支持汉语、英语、日语等多种全球语言，可广泛应用于家电、照明、玩具、可穿戴设备、工业、汽车等产品领域，实现语音交互及控制和各类智能语音方案应用。

1.2 芯片规格

CI23241 功能框图如图 1-1 所示：

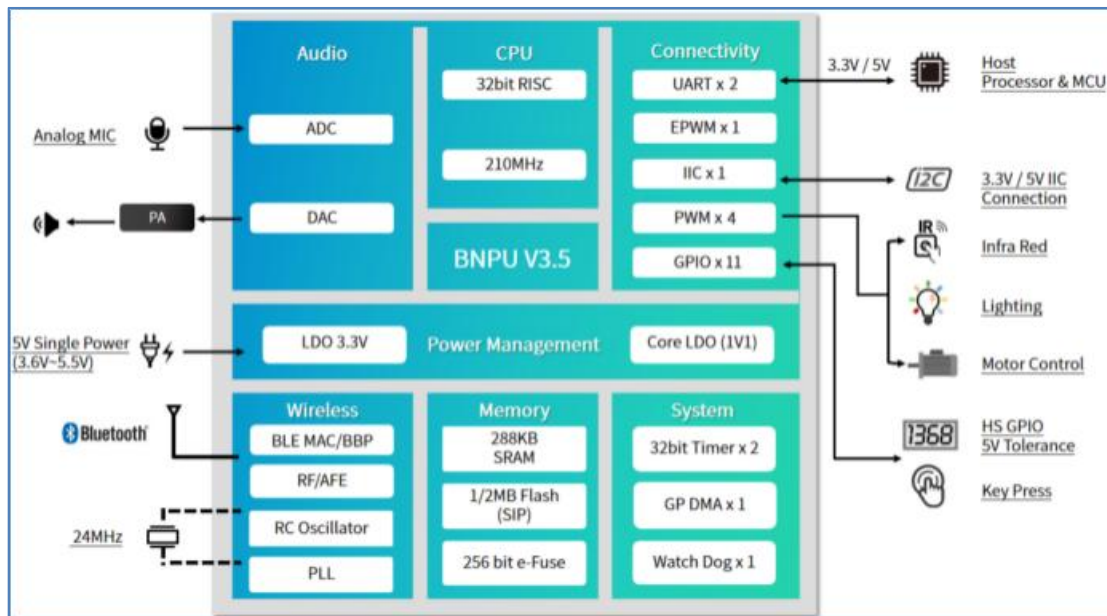


图 1-1 CI23241 功能框图

■ 神经网络处理器 BNPU V3.5

– 采用启英泰伦新一代硬件 BNPU 技术, 支持 DNN\TDNN\RNN\CNN 等神经网络及并行矢量运算, 可实现高性能语音识别、语音降噪等功能

■ CPU

– 32 位高性能 CPU, 最高支持 210MHz 运行频率

■ 存储器

- 内置 288KB SRAM
- 内置 256bit eFuse
- 内置 1MB Flash

■ 蓝牙

- 蓝牙 5.4
- +5 dBm Max TX 功率
- 98 dBm RX 灵敏度@ BLE 1 Mbps

■ 音频接口

– 内置高性能低功耗 Audio Codec 模块, 支持单路 ADC 采样和单路 DAC 播放

- 支持 Automatic Level Control (ALC) 功能
- 支持 8kHz/16kHz/24kHz/32kHz/44.1kHz/48kHz 采样率

■ 电源管理单元 PMU

- 支持宽电源电压供电，供电范围 3.6V~5.5V
- 内置 2 路高性能 LDO 电路，无需配置外置电源芯片，应用方案仅需少量外围阻容器件

■ 时钟

- 内置 RC 振荡器
- 蓝牙外置晶振输入

■ 外设和定时器

- 2 路 UART 接口，支持最高 3M 波特率通讯
- 1 路 IIC 接口，可外接 IIC 器件扩展
- 4 路 PWM 接口，灯控和电机类的应用均可直接驱动
- 内置 2 组 32bit timer
- 内置 1 组独立看门狗 (IWDG)

■ GPIO

- 支持 11 路 GPIO 口，可作为主控 IC 应用
- 每路 GPIO 口可配置中断功能，可配置上下拉状态
- 5 路 GPIO 可通过外接 5V 上拉电阻直接支持 5V 电平通讯

■ 软件开发支持

- 提供完整软件开发包、应用方案示例、利用语音开发平台直接在线制作固件等支持，

详情请访问：<https://aiplatform.chipintelli.com>

■ 固件烧录和保护

- 支持 UART 升级和固件保护

■ ESD 性能

- 采用内部 ESD 增强设计，可通过 4KV 接触放电试验

■ ROHS 和 REACH

- 采用环保材料，支持 RoHS 和 REACH 标准

■ 封装和工作温度范围

- 封装形式：SSOP24，尺寸为长 8.6mm，宽 6.0mm，高 1.75mm
- 工作环境温度：-40℃~+85℃

2 引脚图和功能描述

2.1 引脚图

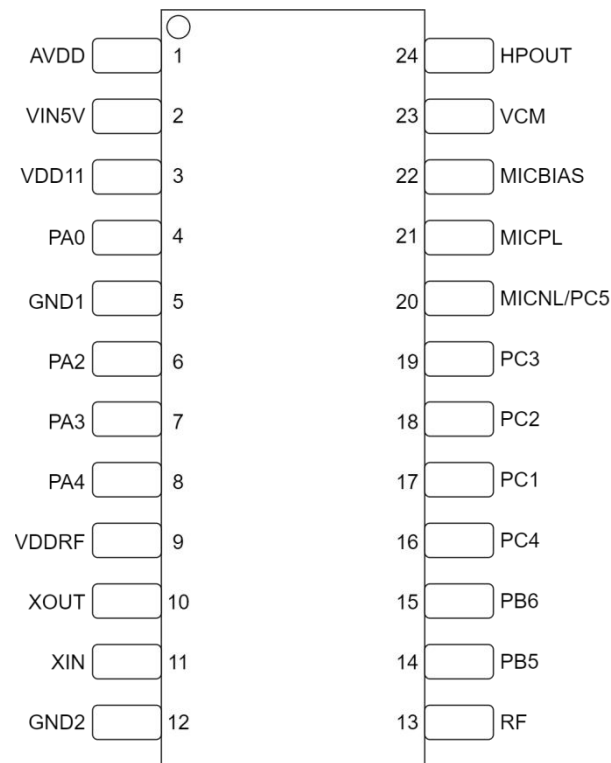


图 2-1 CI23241 管脚顺序及定义图

2.2 管脚描述

表 2-1 管脚描述

| 管脚号 | 管脚名称 | 类型 | 是否支持 5V 电平 | 上电默认状态 | 管脚功能 |
|-----|-------|----|---------------|---------|----------------------------------------------------------------------------------------------------------------------------------------------------------|
| 1 | AVDD | P | - | - | <ul style="list-style-type: none"> 内部 LDO-3.3V 输出 内部模拟电路 3.3V 供电输入 * Note1* |
| 2 | VIN5V | P | - | - | <ul style="list-style-type: none"> 供电电压输入, 供电电压范围 3.6V~5.5V * Note1* |
| 3 | VDD11 | P | - | - | <ul style="list-style-type: none"> LDO-1.1V 输出 内核 1.1V 供电输入 * Note1* |
| 4 | XIN | IO | - | - | <ul style="list-style-type: none"> 外部时钟输入 GPIO PA0 PWM2 |
| 5 | GND | P | - | - | <ul style="list-style-type: none"> Ground |
| 6 | PA2 | IO | √ | IN, T+D | <ul style="list-style-type: none"> GPIO PA2 (上电默认状态) IIC_SDA PWM0 PWMP |
| 7 | PA3 | IO | √ | IN, T+D | <ul style="list-style-type: none"> GPIO PA3 (上电默认状态) IIC_SCL PWM1 PWMN |
| 8 | PA4 | IO | √ | IN, T+U | <ul style="list-style-type: none"> GPIO PA4 (上电默认状态) /PG_EN * Note2* <ul style="list-style-type: none"> PWM2 PWMP |
| 9 | VDDRF | P | - | - | <ul style="list-style-type: none"> RF 电源输入 * Note1* |
| 10 | XOUT | IO | - | - | <ul style="list-style-type: none"> 晶振输出* Note4* |
| 11 | XIN | IO | - | - | <ul style="list-style-type: none"> 晶振输入* Note4* |
| 12 | GND | P | - | - | <ul style="list-style-type: none"> Ground |
| 13 | RF | IO | - | - | <ul style="list-style-type: none"> RF 天线 |
| 14 | PB5 | IO | √ | IN, T+U | <ul style="list-style-type: none"> GPIO PB5 (上电默认状态) UART0_TX IIC_SDA PWM1 PWMP |
| 15 | PB6 | IO | √ | IN, T+U | <ul style="list-style-type: none"> GPIO PB6 (上电默认状态) UART0_RX IIC_SCL PWM2 PWMN |
| 16 | PC4 | IO | - | IN, T+U | <ul style="list-style-type: none"> 保留 (上电默认状态) PC4 SCL PWM0 |
| 17 | PC1 | IO | - | IN, T+D | <ul style="list-style-type: none"> 保留 (上电默认状态) PC1 TX2 PWM3 |

| | | | | | |
|----|----------|----|---|---------|--------------------------------------------------------------------------------------------------------------------------------|
| 18 | PC2 | IO | — | IN, T+U | <ul style="list-style-type: none">● 保留（上电默认状态）● PC2● RX2● PWM2 |
| 19 | PC3 | IO | — | IN, T+D | <ul style="list-style-type: none">● 保留（上电默认状态）● PC3● SDA● PWM1 |
| 20 | MICN/PC5 | IO | — | IN, T+D | <ul style="list-style-type: none">● Microphone N input● 保留（上电默认状态）● PC5● BOOT* Note3* |
| 21 | MICP | I | — | — | <ul style="list-style-type: none">● Microphone P input |
| 22 | MICBIAS | O | — | — | <ul style="list-style-type: none">● Microphone bias output |
| 23 | VCM | O | — | — | <ul style="list-style-type: none">● VCM POWER Output |
| 24 | HPOUT | O | — | — | <ul style="list-style-type: none">● DAC output |

Note1:管脚需外接 4.7uF 电容

Note2:上电时该管脚为高电平，系统将进入编程模式

Note3:上电时该管脚不能上拉，否则系统将进入调试模式

Note4:Pin10 XOUT 及 Pin11 XIN 为蓝牙晶体输入输出脚，仅为蓝牙提供时钟；语音时钟由芯片内置的 RC 振荡器提供

符号定义：

- I 输入
- O 输出
- IO 双向
- P 电源或地
- T+D 三态下拉
- T+U 三态上拉
- OUT 上电默认输出
- IN 上电默认输入

所有 IO 均可配置驱动能力和上下拉状态。

2.3 复用功能

表 2-2 IO 复用功能

| Pin Name | Function1 | Function2 | Function3 | Function4 | Function5 | Function6 | Specific Function |
|----------|-----------|-----------|-----------|-----------|-----------|-----------|-------------------|
| XIN | PA0 | PWM2 | - | - | - | - | XIN |
| PA2 | PA2 | - | IIC_SDA | - | PWM0 | PWMP | - |
| PA3 | PA3 | - | IIC_SCL | - | PWM1 | PWMN | - |
| PA4 | PA4 | - | - | - | PWM2 | - | PG_EN *Note5* |
| PB5 | PB5 | UART0_TX | IIC_SDA | PWM1 | PWMP | - | - |
| PB6 | PB6 | UART0_RX | IIC_SCL | PWM2 | PWMN | - | - |
| PC1 | - | PC1 | TX2 | PWM3 | - | - | - |
| PC2 | - | PC2 | RX2 | PWM2 | - | - | - |
| PC3 | - | PC3 | SDA | PWM1 | - | - | - |
| PC4 | - | PC4 | SCL | PWM0 | - | - | ICE |
| PC5 | - | PC5 | - | - | - | - | BOOT *Note3* |

Note3:上电时该管脚不能上拉，否则系统将进入调试模式。

Note5:PA4（PG_EN）管脚内部默认上拉，当上电时系统检测到该管脚为高电平、且 UART0 接口上有固件升级信号，则自动进入升级模式，此时可通过升级工具对芯片内部的 Flash 进行编程。若此时系统未检测到 UART0 接口上有固件升级信号、或检测到 PA4 管脚的电压为低电平，都将进入正常工作模式。

3 电气特性

表 3-1 电气特性表

| 符号 | 描述 | 最小值 | 典型值 | 最大值 | 单位 |
|--------------------|-----------------------------------------------------------------|--------------------|-----|--------------------|------------|
| VIN5V | 芯片供电输入 *Note6* | 3.6 | 5.0 | 5.5 | V |
| AVDD | 3.3V电源 | 2.97 | 3.3 | 3.63 | V |
| VDD11 | 1.1V电源 | 0.99 | 1.1 | 1.21 | V |
| V_{IH} | 输入高电平 ($3.0V \leq VDD33 \leq 3.6V$) | $0.7 \times VDD33$ | — | $VDD33 + 0.3$ | V |
| V_{IL} | 输入低电平 ($3.0V \leq VDD33 \leq 3.6V$) | -0.3 | — | $0.3 \times VDD33$ | V |
| V_{OL} | 输出低电平 @ $I_{OL} = 12mA$ | — | — | 0.4 | V |
| V_{OH} | 输出高电平 @ $I_{OH} = 20mA$ | 2.4 | — | — | V |
| I_{5V-I0} | 5V耐压I0口输出3.3V时驱动电流 | 20 | — | 33 | mA |
| I_{3V3-I0} | 3.3V耐压I0口输出3.3V时驱动电流 | 14 | — | 24 | mA |
| ΣI_{VDD} | 芯片所有I0总电流之和 | — | — | 260 | mA |
| Pde | 芯片采用5V供电且VDD11采用外部供给1.1V状态，正常识别时5V电源的总功耗 ($T_A = 25^\circ C$) | 80 | — | 140 | mW |
| Pdi | 芯片采用5V供电且系统采用内部LDO供电，正常识别时5V输入的总功耗 ($T_A = 25^\circ C$) | 160 | — | 310 | mW |
| RC振荡器精度 *Note7* | $T_A: -40^\circ C \sim +85^\circ C$ | -1.5 | — | +1.5 | % |
| T_{op} | 芯片工作环境温度 | -40 | — | +85 | $^\circ C$ |
| T_{st} | 芯片储存环境温度 | -55 | — | +150 | $^\circ C$ |

Note6: 要求纹波小于 300mVp-p。

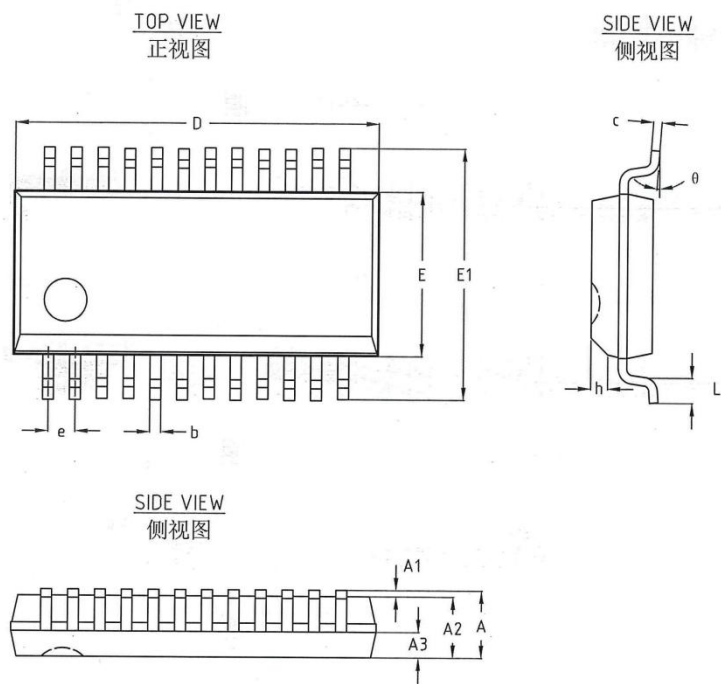
Note7: 半导体技术原理及特性的原因，芯片内置的 RC 振荡器在高低温环境中，其振荡频率精度会产生一定的温漂 ($\pm 1.5\%$)，CI23241 内置波特率自适应电路，可支持在高低温环境中芯片与上位机的正常通讯。若应用方案要求芯片的时钟需要非常精确，请采用我司配置有外置晶振的芯片及相应的应用方案。

表 3-2 蓝牙特性表

| No | Parameter | Symbol | Conditions | MIN | TYP | MAX | UNIT |
|----|----------------------------|---------|-------------------------------------|------|-----|--------|------|
| 1 | Sleep Power | I_SLEEP | VDDRF=3.3V | | 6 | | uA |
| 2 | Current in TX 0dBm | I_TX | VDDRF=3.3V | | 2.5 | | mA |
| 3 | Current in RX 1Mbps BLE | I_RX | VDDRF=3.3V @ -98 dBm sensitivity | | 2.8 | | mA |
| 4 | Frequency range | Freq | | 2400 | | 2483.5 | Mhz |
| 5 | Output power | Pout | | -20 | | 5 | dBm |

以上功耗数据为 VDDRF 等于 3.3V 时候测得

4 封装信息



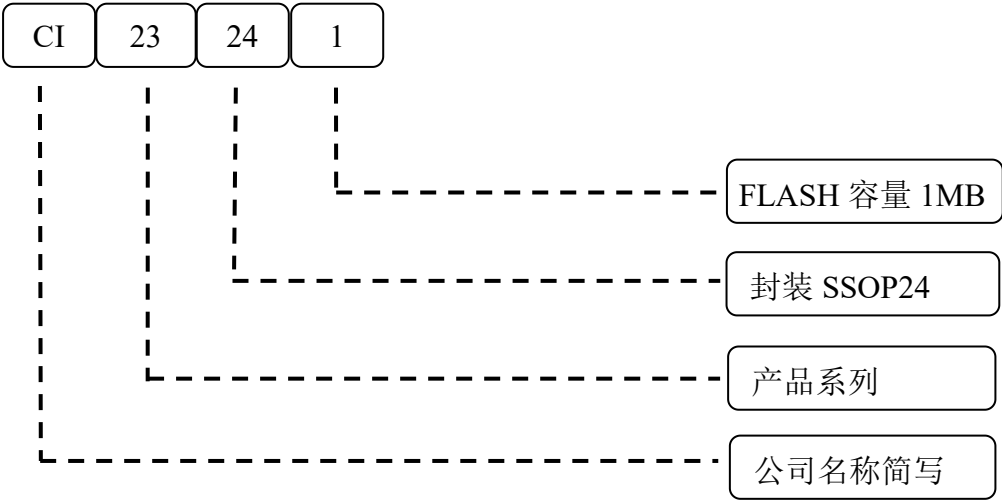
| 机械尺寸/mm Dimensions | | | |
|-----------------------|------------|----------------|------------|
| 字符 SYMBOL | 最小值 MIN | 典型值 NOMINAL | 最大值 MAX |
| A | - | - | 1.75 |
| A1 | 0.10 | - | 0.25 |
| A2 | 1.35 | 1.45 | 1.55 |
| A3 | 0.60 | 0.65 | 0.70 |
| b | 0.23 | - | 0.31 |
| c | 0.19 | - | 0.25 |
| D | 8.50 | 8.60 | 8.70 |
| E | 3.80 | 3.90 | 4.00 |
| E1 | 5.80 | 6.00 | 6.20 |
| e | 0.635 BSC | | |
| h | 0.30 | - | 0.50 |
| L | 0.40 | - | 0.80 |
| θ | 0° | - | 8° |

5 订购信息

CI23241 芯片封装 MRAK 如下图，第一行为公司 LOG，第二行为芯片型号，第三行为生产批次号，左下角圆点为 1 脚标识。



芯片型号定义如下：



CI23241 芯片订购信息见表 5-1。

表 5-1 CI23241 芯片订购信息表

| 产品型号 | 封装形式 | 基本包装 | 管装数量 | 出厂标准包装 | 标准包装数量 |
|---------|--------|------|-------|--------|-----------------------|
| CI23241 | SSOP24 | 管装 | 50pcs | 盒装 | 10000pcs (200 管/盒) |

6 应用方案

6.1 应用参考电路图

CI2324X 芯片需少量外围元器件，即可开发出支持各类语音应用的终端产品方案。该芯片支持单麦克风差分或单端输入。应用方案设计可根据方案所需的功能、功耗和成本等需求因素，选择适合的电路设计方案。

以下以 CI23241 的典型应用方案为例，介绍应用方案设计的要点和注意事项：

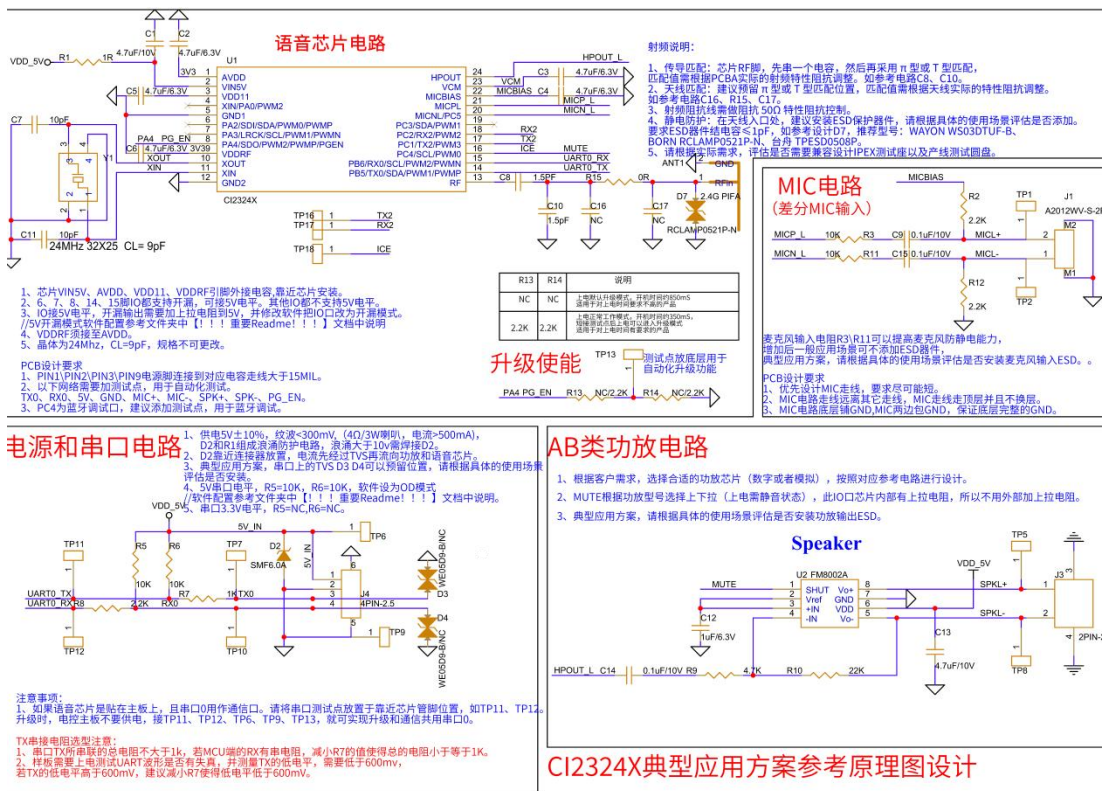




图 6-1 CI2324X 典型应用方案参考电路图

上图为包括 CI23241 在内的 CI2324X 系列芯片，单麦克风差分输入和功放输出的典型应用方案的参考设计电路图，该设计不局限于匹配某个具体的终端产品。应用方案的设计应基于适配上位机终端产品的原则，根据终端产品的功能和性能需求，前往启英泰伦文档中心和 AI 平台下载参考原理图和参考 PCB 图。文档中心链接：<https://document.chipintelli.com/>

应用方案设计时需预留板级升级功能，可以将 UART0 引脚以插座或测试点的方式引出，以便于 PCB 板贴片完成后通过 UART0 烧写或升级固件。

CI23241 的 PA4 (PG_EN) 管脚在芯片内部预置有 3.3V 上拉电阻，上电时系统将检测该引脚是否被置为 3.3V 高电平，若是高电平且检测 UART0 引脚有外部输入的升级信号，系统即进入升级模式。若该引脚外部接下拉电阻到地，芯片上电时可跳过升级模式检测环节直接进入正常启动模式，以实现系统的快速开机。若应用方案有快速开机需求，可将 PA4 引脚引

出，并串接两个 2.2KΩ 的下拉电阻到地，两个 2.2KΩ 电阻之间预留一个测试点（具体实施方案请参照参考应用图原图或咨询我司的 FAE），该设计状态下系统上电时为正常功能启动模式，开机时间可缩短为 350ms 左右。若此时需要在线升级，可通过两颗 2.2KΩ 电阻之间的测试点外供 3.3V 高电平，将 PA4 引脚电平拉高，即可通过 UART0 口升级。PG_EN 两种工作模式如下表：

| PG_EN 外接电阻图示 | R5\R6 安装情况 | PG_EN 高低电平 | 开机时间 |
|-----------------------------------------------------------------------------------|--------------|------------|-------|
|  | R5\R6 都 NC | 高电平，升级模式 | 850ms |
|  | R5\R6 贴 2.2K | 低电平，工作模式 | 350ms |

CI23241 支持差分麦克风输入或单端麦克风输入，推荐采用图 H-1 中的差分麦克风设计。低成本设计方案可采用单端麦克风输入设计，以减少麦克风输入线路上的器件，但该方式仅推荐用于麦克风输入线路长度小于 20 厘米的方案，否则麦克风输入线路太长将影响其抗干扰的能力，导致语音识别效果变差。

该典型应用方案的功放配置为 AB 类功放，推荐采用 8002 系列功放。若不需要语音播报功能，可去除该部分电路以降低方案成本。

若应用方案没有超低功耗要求，建议设计方案采用 CI23241 内部的 PMU 供电以降低成本。若应用方案有超低功耗要求，可采用外部 DCDC 电路给 CI23241 供电 1.1V，以降低系统功耗。

CI23241 的 UART0 可支持 5V 电平通讯。应用方案若需外接 5V 通讯电平，在 UART0 的 RX 和 TX 引脚外围增加 5V 上拉电阻即可，无需配置电平转换电路。

CI23241 的晶振规格为 24MHZ，CL 为 9pF，匹配电容为 10pF。该晶体的参数规格不可随意更换。

6.2 射频相关说明

6.2.1 传导匹配

芯片 RF 脚，先串一个电容，然后再采用 π 型或 T 型匹配，匹配值需根据 PCBA 实际的射频特性阻抗调整。如参考电路 C8、C10。

6.2.2 天线匹配

建议预留 π 型或 T 型匹配位置，匹配值需根据天线实际的特性阻抗调整。如参考电路 C16、R15、C17。

6.2.3 阻抗要求

射频阻抗线需做阻抗 50Ω 特性阻抗控制。

6.2.4 静电防护

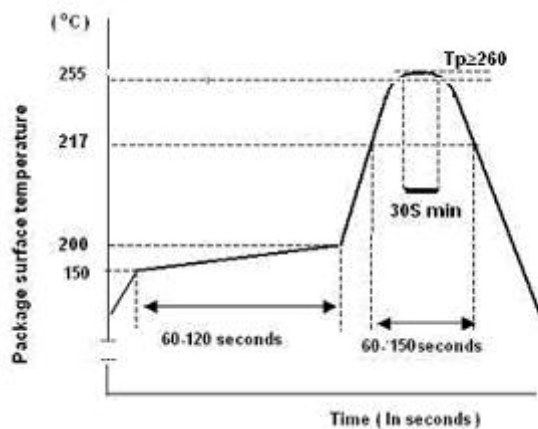
在天线入口处，请根据具体的使用场景评估是否添加 ESD 保护器件。要求 ESD 器件结电容 $\leq 1\text{pF}$ ，如参考设计 D7，推荐型号：WAYON WS03DTUF-B、BORN RCLAMP0521P-N、台舟 TPESD0508P。

6.2.5 可测试性

请根据实际需求，评估是否需要兼容设计 IPEX 测试座以及产线测试圆盘。

6.3 其它应用注意事项

1. CI23241 采用无铅环保材料制造，SMT 焊接时请按照无铅标准设置炉温和时间参数。



2. CI23241 的取用、搬运、生产加工等过程需注意采取防静电措施，其包装需采用防静电材料。
3. 芯片的潮湿敏感度等级为 MSL3 级，使用前请按照 MSL3 级条件存储。如果开包装后存放时间超过 MSL3 级的要求，请在 SMT 焊接前先进行烘烤。

- 启英泰伦保留对本说明书的解释权和更改权，如有更改恕不另行通知！客户在应用设计前应获取最新版本资料，并验证相关信息是否准确和完整。
- 任何半导体产品在特定条件下都有发生失效或故障的可能，芯片应用方有责任在使用本产品进行系统设计和整机制造时，遵守安全标准并采取安全防护措施，以避免可能的产品失效造成人身伤害或财产损失！
- 启英泰伦将竭诚为客户提供更好的产品和更优质的服务！