CI1303 数据手册

高性能神经网络智能语音芯片

SSOP24 长 8.6mm 宽 6mm 高 1.64mm

- **脑神经网络处理器（BNPU）**

－ BNPU V3，支持 DNN\TDNN\RNN\CNN 等神经网络及并行矢量运算，可实现语音识别、声纹识别、端侧 NLP、命令词自学习、语音检测及深度学习降噪等功能

- **CPU 和存储器**

－ CPU 主频可达 220 MHz

－ 内置 4MBytes Flash 存储器

－ 内置 640KBytes SRAM

－ 内置 512bit eFuse，可用于应用加密

- **Audio Codec**

－ 高性能低功耗 audio ADC，SNR ≥ 95dB

－ 低功耗 audio DAC，SNR ≥ 95dB

- **音频接口**

－ 1 路 IIS 接口，支持主从可配

－ 1 路双通道 PDM 接口

- **ADC 和 PWM**

－ 内置 1 通道 12bit SAR ADC

－ 支持 6 路 PWM 接口

- **GPIO**

－ 10 个高速 GPIO，响应速率可达 20MHz

－ 其中 7 个 GPIO 支持 5V 输入

- **复位和电源管理**

－ 内置电源管理单元 PMU

－ PMU 输入电压范围: 3.6V 到 5.5V

－ 内置上电复位（POR）

－ 内置电压检测 (PVD)

- **时钟**

－ 内置 RC 振荡器，也支持外接晶体振荡器；开发者可根据不同应用方案选择采用内置 RC 或者外接晶体作为芯片时钟源

- **通讯接口**

－ 1 路 IIC 接口

－ 3 路 UART 接口，支持 5V 通讯，支持最高 3Mbps 速率

- **定时器和看门狗**

－ 内置 4 组 32 位定时器和 2 组看门狗

目录

1 概述

1.1 功能描述

CI1303 是启英泰伦研发的新一代高性能神经网络智能语音芯片，集成了启英泰伦自研的脑神经网络处理器 BNPU V3 和 CPU 内核，系统主频可达 220MHz，内置高达 640KByte 的 SRAM，集成 PMU 电源管理单元和 RC 振荡器，集成双通道高性能低功耗 Audio Codec 和多路 UART、IIC、IIS、PWM、GPIO、PDM 等外围控制接口。芯片仅需少量电阻电容等外围器件就可以实现各类智能语音产品硬件方案，性价比极高。

CI1303 使用工业级设计标准，具有较高的环境可靠性，芯片工作温度范围在-40° C 到+85° C 之间，符合 MSL3 级湿敏等级，符合 IEC 61000-4-2 的 4KV 接触放电试验标准，符合 FCC 电磁兼容标准，符合 ROHS 和 REACH 环保标准。

CI1303 采用了启英泰伦的 3 代 BNPU 技术，该技术支持 DNN\TDNN\RNN\CNN 等神经网络及并行矢量运算，可实现语音识别、声纹识别、端侧 NLP、命令词自学习、语音检测及深度学习降噪等功能，具备强劲的回声消除和环境噪声抑制能力。该芯片方案还支持汉语、英语、日语等多种全球语言，可广泛应用于家电、照明、玩具、可穿戴设备、工业、汽车等产品领域，实现语音交互及控制和各类智能语音方案应用。

1.2 芯片规格

CI1303 芯片功能框图如下图所示：

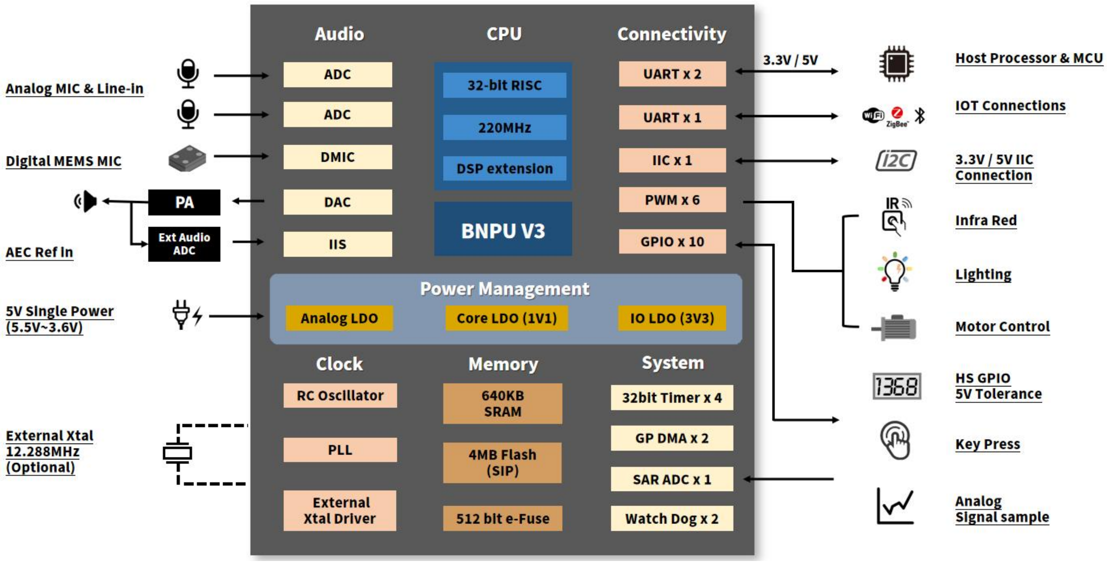


图 1： 芯片功能框图

- **脑神经网络处理器 BNPU V3**

  - 采用 3 代硬件 BNPU 技术，支持 DNN\TDNN\RNN\CNN 等神经网络及并行矢量运算，可实现语音识别、声纹识别、端侧 NLP、命令词自学习、语音检测及深度学习降噪等功能

- **CPU**

  - 32 位高性能 CPU，运行频率最高支持 220MHz
  - 32-bit 单周期乘法器，支持 DSP 扩展加速

- **存储器**

  - 内置 640KB SRAM
  - 内置 512bit eFuse
  - 内置 4MB Flash

- **音频接口**

  - 内置高性能低功耗 Audio Codec 模块，支持双路 ADC 采样和单路 DAC 播放
  - 支持 Automatic Level Control (ALC)功能
  - 支持 8kHz/16kHz/24kHz/32kHz/44.1kHz/48kHz 采样率
  - 支持一路 IIS 音频扩展通路
  - 支持一路 PDM 接口，可对接单个或两个数字 MEMS 麦克风

- **电源管理单元 PMU**

- 内置 3 个高性能 LDO，无需外加电源芯片，外围仅需少量阻容器件
- 支持 5V 供电直接输入，供电范围最小支持 3.6V 输入，最大支持 5.5V 输入

■ **时钟**

- 内置 RC 振荡器，也支持外接晶体振荡器；开发者可根据不同应用方案选择采用内置 RC 或者外接晶体作为芯片时钟源

■ SAR ADC

- 1 路 12bit SAR ADC 输入通道，采样频率可达 1MHz

■ **外设和定时器**

- 3 路 UART 接口，最高可支持 3M 波特率
- 1 路 IIC 接口，可以外接 IIC 器件进行扩展
- 6 路 PWM 接口，灯控和电机类应用可直接驱动
- 内置 4 组 32-bit timer
- 内置 1 组独立看门狗（IWDG）
- 内置 1 组窗口看门狗（WWDG）

■ GPIO

- 支持 10 个 GPIO 口，可以作为主控 IC 使用
- 每个 GPIO 口可配置中断功能，支持上下拉可配置
- 部分 GPIO 支持宽压 5V 电平信号直接通信，无需外接电平转换

■ **软件开发支持**

- 提供完整软件开发包、应用方案示例和语音开发平台在线制作固件等功能，详情请访问：https://aiplatform.chipintelli.com

■ **固件烧录和保护**

- 支持 UART 升级和固件保护

■ EMC 和 ESD

- 良好 EMC 设计，支持 FCC 标准
- 内部 ESD 增强设计，可通过 4KV 接触放电试验

■ ROHS 和 REACH

- 采用环保材料，支持通过 ROHS 和 REACH 测试

■ **封装和工作温度范围**

- 封装形式：SSOP24，尺寸为长 8.6mm，宽 6mm，高 1.64mm
- 工作环境温度：-40℃ 到 85℃

2 引脚图和功能描述

2.1 引脚图

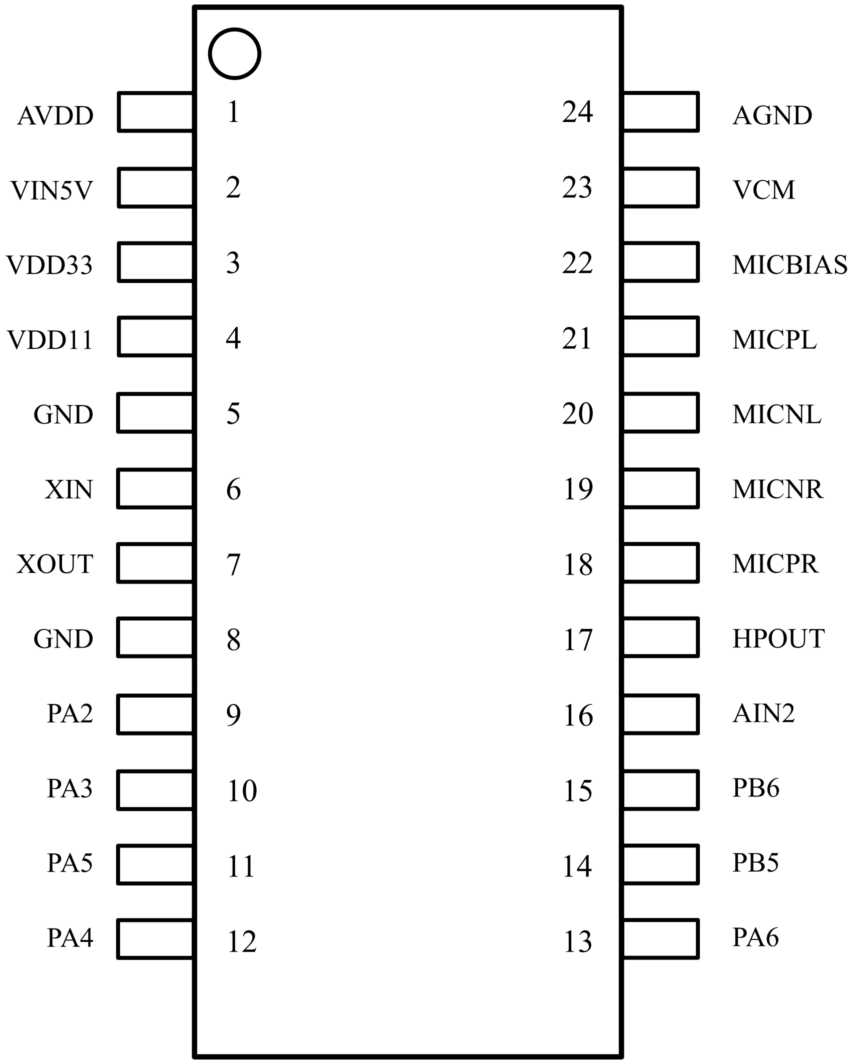


图 2： SSOP24 引脚图

2.2 管脚描述

表 1： 管脚描述

管脚号	管脚名称	类型	IO 5V 耐压	IO 上电默认状态	管脚复用和功能描述
1	AVDD	P	-	-	3.3V 模拟 LDO 输出管脚，同时也是模拟供电输入管脚，外接 4.7uF 电容
2	VIN5V	P	-	-	VIN5V 是 PMU 电源输入引脚。正常工作输入电压范围为 3.6V-5.5V。外部连接一个 4.7uf 输入电容器。该引脚的最大输入电压为 6.5V。请注意该引脚需要添加过压和浪涌保护装置，例如 TVS 和 4.7 欧姆电阻，以防止浪涌冲击
3	VDD33	P	-	-	3.3V LDO 输出管脚，外接 4.7uF 电容
4	VDD11	P	-	-	1.1V LDO 输出管脚，同时也是内核供电输入管脚，外接 4.7uF 电容
5	GND	P	-	-	Ground
6	XIN	I	-	-	1. 外部晶振管脚 XIN（上电默认状态）（正常应用无需外接晶振） 2. GPIO PA0 3. PWM5
7	XOUT	O	-	-	1. 外部晶振管脚 XOUT（上电默认状态）（正常应用无需外接晶振） 2. GPIO PA1
8	GND	P	-	-	Ground
9	PA2	IO	√	IN，T+D	1. GPIO PA2（上电默认状态） 2. IIS_SDI 3. IIC_SDA 4. UART1_TX 5. PWM0
10	PA3	IO	√	IN，T+D	1. GPIO PA3（上电默认状态） 2. IIS_LRCLK 3. IIC_SCL 4. UART1_RX1 5. PWM1
11	PA5	IO	√	IN，T+D	1. GPIO PA5（上电默认状态） 2. IIS_SCLK 3. PDM_DAT 4. UART2_TX 5. PWM3
12	PA4	IO	√	IN，T+U	1. GPIO PA4（上电默认状态）/PG_EN（根据上电时电平状态判断是否进行编程，高电平时启动编程功能） 2. IIS_SDO 3. PWM2
13	PA6	IO	√	IN，T+D	1. GPIO PA6（上电默认状态） 2. IIS_MCLK 3. PDM_CLK 4. UART2_RX 5. PWM4
14	PB5	IO	√	IN，T+U	1. GPIO PB5（上电默认状态） 2. UART0_TX 3. IIC_SDA

					4. PWM1
15	PB6	IO	√	IN，T+U	1. GPIO PB6（上电默认状态） 2. UART0_RX 3. IIC_SCL 4. PWM2
16	AIN2	IO	-	IN，T+U	1. 保留（上电默认状态） 2. GPIO PC4 3. PWM0 4. SAR ADC input channel 2
17	HPOUT	O	-	-	DAC output
18	MICPR	I	-	-	Right Microphone P input
19	MICNR	I	-	-	Right Microphone N input
20	MICNL	I	-	-	Left Microphone N input
21	MICPL	I	-	-	Left Microphone P input
22	MICBIAS	O	-	-	Microphone bias output
23	VCM	O	-	-	VCM Output
24	AGND	P	-	-	Analog ground

符号定义：

I　输入

O　输出

IO　双向

P　电源和地

T+D　三态下拉

T+U　三态上拉

OUT　上电默认输出

IN　上电默认输入

所有 IO 支持驱动能力可配，上下拉电阻可配。

2.3 复用功能

表 2： IO 复用功能

Pin Name	Function1	Function2	Function3	Function4	Function5	Analog Function	Specific Function
XIN	PA0	PWM5	-	-	-	XIN	
XOUT	PA1	-	-	-	-	XOUT	
PA2	PA2	IIS_SDI	IIC_SDA	UART1_TX	PWM0	-	
PA3	PA3	IIS_LRCLK	IIC_SCL	UART1_RX	PWM1	-	
PA4	PA4	IIS_SDO	-	-	PWM2	-	PG_EN Note1
PA5	PA5	IIS_SCLK	PDM_DAT	UART2_TX	PWM3	-	
PA6	PA6	IIS_MCLK	PDM_CLK	UART2_RX	PWM4	-	
PB5	PB5	UART0_TX	IIC_SDA	PWM1	-	-	
PB6	PB6	UART0_RX	IIC_SCL	PWM2	-	-	
AIN2	-	PC4	-	PWM0	-	AIN2	

Note1：芯片 12 脚 PA4（PG_EN）内部默认上拉，当上电判断为高时，芯片上电时检测到 UART0 上有升级信号即可自动进入升级模式，这时可使用配套的升级工具对芯片内部的 Nor Flash 进行编程。未检测到 UART0 上有升级信号将进入正常工作模式。

3 芯片接口描述

3.1 通用输入输出接口(GPIO)

3.1.1 简介

GPIO 是一种通用的输入输出接口，允许芯片与外围硬件进行电平信号交互，其既可以作为输入接收外部信号，也可以作为输出控制外围硬件。

3.1.2 特性

CI1303 芯片支持多个可编程的输入/输出管脚，每个 GPIO 端口都有相应的控制寄存器和配置寄存器，可单独打开或关闭每个 GPIO 管脚，实现对外围硬件的精准控制和状态监测。CI1303 芯片支持 3 组 GPIO(GPIO0、GPIO1、GPIO2)，其中 GPIO0 对应的是芯片 PA 口，GPIO1 对应的是芯片 PB 口，GPIO2 对应的是芯片 PC 口。每组 GPIO 管脚分配请查看 2.2 管脚描述部分。

GPIO 支持输入输出状态查询、中断屏蔽、中断清除、中断状态查询，支持

中断触发方式可配置（低电平触发、高电平触发、上升沿触发、下降沿触发、双边沿触发），以满足不同的应用场景需求。

3.2 通用异步收发器(UART)

3.2.1 简介

UART 是一种通用异步串行通信数据接口，实现两个设备之间数据的接收和发送，支持全双工通讯。接收端和发送端之间没有共享时钟信号，为保障通信可靠性，通讯的两个设备需要设置相同的波特率和数据帧格式。

CI1303 支持 3 个 UART 控制器：UART0、UART1 和 UART2。

3.2.2 特性

- 支持标准的 UART 协议，数据帧格式由起始位、数据位（长度可配置）、奇偶校验位(可选)和停止位（宽度可配置）四部分组成，支持波特率可配置。
- 总线处于空闲状态时，信号线为高电平状态。
- 起始位：用于标识传输数据帧的开始，每个数据帧以发送端输出一个比特宽度的低电平开始，通知接收端数据传输已启动；
- 数据位：传输的数据长度通过 UART_LCR 寄存器可配置为 5~8 位，常用 8 位，位传输顺序为低位优先，先发送最低位 LSB 最后发送最高位 MSB；
- 奇偶校验位：通过 UART_LCR 寄存器配置是否开启奇偶校验功能，通过 UART_LCR 寄存器配置奇校验或偶校验。奇偶校验功能开启状态、数据位传输完成后，可通过奇/偶校验检测数据传输是否错误；
- 停止位：用于标识传输数据帧的结束，每个数据帧以高电平结束，长度通过 UART_LCR 寄存器可配置为 1、1.5、2 位；

3.2.3 时序图

UART 数据传输 1 个数据帧（8 位数据位、奇偶校验位、1bit 停止位）的时序图如下：

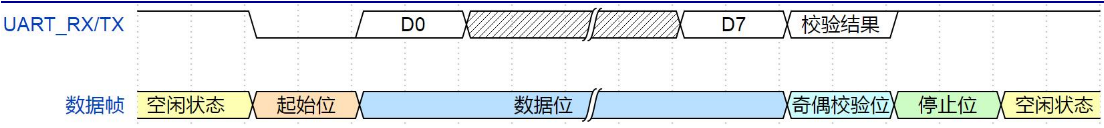


图 3：数据帧时序图 1

UART 数据传输 1 个数据帧（起始位、7 位数据位、奇偶校验位、1.5bit 停止位）的时序图如下：

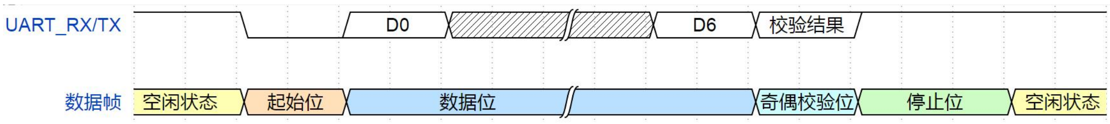


图 4：数据帧时序图 2

UART 数据传输 1 个数据帧（起始位、8 位数据位、无奇偶校验位、2bit 停止位）的时序图如下：

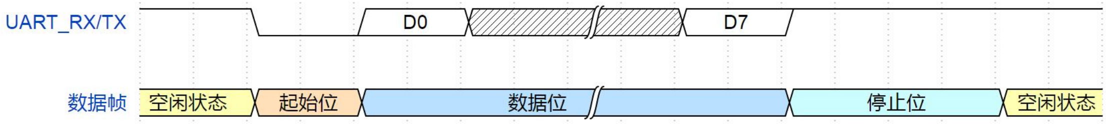


图 5：数据帧时序图 3

UART 波特率设置越高，数据传输速度越快，但也会增加干扰和误码率。在设置波特率时，需要考虑通信双方串口硬件是否支持该波特率。若波特率设置过高，可能会导致数据传输不稳定。

支持最大 3Mbps 波特率，波特率可通过 UART_I_BRD 和 UART_F_BRD 寄存器配置。

3.3 脉冲宽度调制输出(PWM)

3.3.1 简介

PWM（Pulse Width Modulation）是一种通过调节数字脉冲的占空比（高电平时间占整个周期的比例）来等效模拟信号电平的技术，广泛应用于电机控制、电源管理、LED 调光等领域。

CI1303 芯片支持 6 个专用 PWM：PWM0~PWM5。

每个 PWM 输出信号的频率通过 TIMER_SC 寄存器进行配置，每个 PWM 输出信号的占空比通过 TIMER_SPWMC 寄存器进行配置，不支持 100%占空比(常高)，若需使用 100%占空比，通过配置 GPIO 来实现。

3.3.2 特性

- 计数时钟分频，支持 1、2、4、16 分频，通过 TIMER_CFG 寄存器进行配置；
- 支持两个 32 位递减计数器；
- 可变占空比 PWM 脉冲宽度波形输出；

3.4 模数转换器(SARADC)

3.4.1 简介

SARADC(模数转换器)（Analog-to-Digital Converter）是将连续变化的模拟信号（如电压、电流、温度、声音等）转换为离散数字信号（二进制代码）的模块，以下简称 ADC。

3.4.2 特性

- ADC 分辨率为 12bit；
- 支持单次采样和连续采样两种模式；
- 采样速率可达 1MSPS(Mega Samples Per Second)，若要达到 1MSPS 的采样速率，必须保证此时 ADC 的时钟频率不小于 15MHz；
- 采样速率为 1MSPS 时，工作电流 450uA；关闭时电流小于 1uA；
- 模拟电源电压输入范围为 1.8V~3.63V；
- 中断产生有两种情况，一种情况是 ADC 采样值异常触发中断；另外一种情况是 ADC 每完成一次转换都会触发中断；
- 支持 3 通道单端输入， CI1303 芯片的 ADC 含有 1 个外部通道 ADC_CHANNEL_2(AIN2)， 通道 ADC_CHANNEL_0(AIN0)/ADC_CHANNEL_1(AIN1) 供芯片内部使用；

3.5 通用定时器(TIMER)

3.5.1 简介

TIMER(通用定时器)是一个基于可配置分频器和多种计数方式 32 位递减计数器，在计数值达到 0 时触发一个定时事件，常用于在指定的时间间隔内反复触

发指定窗口的定时器事件，可作为周期性中断发生器、事件计数器使用。

CI1303 芯片具有 4 个相同的专用 TIMER：TIMER0~TIMER3，支持 TIMER 级联，PWM4 和 PWM5 也可以当作 TIMER 功能使用。

3.5.2 特性

- 支持三种计数模式，通过 TIMER_CFG 寄存器进行配置：单周期计数模式、自动重装载计数模式、自由运行计数模式；
- 单周期计数模式：定时器仅计数一个计数周期；
- 自动重装载计数模式：计数器在每个计数结束时重新初始化；
- 自由运行计数模式：计数值在每次计数结束时从 0xFFFFFFFF 循环到 0x00000000；
- 支持计数时钟分频，支持 1、2、4、16 分频，通过 TIMER_CFG 寄存器进行配置；
- 支持 32 位递减计数器，可读取计数器的实时值，通过 TIMER_CC 寄存器进行读取；
- 支持级联模式配置，通过 TIMER_CFG0 寄存器进行配置；
- 支持计数完成上报中断；

3.6 音频数字传输总线(IIS)

3.6.1 简介

IIS 是用于数字音频设备之间传输音频数据的通信接口，实现对外部 16/20/24/32bit 立体声数字音频信号编解码电路的信号传输功能。

CI1303 支持 3 路 IIS：IIS0~IIS2，其中，IIS0 为通用 IIS，支持 TX 发送和 RX 接收功能，IIS1 为芯片内部专用 IIS，支持 TX 发射和 RX 接收功能，TX 单元专用于给 CI1303 芯片的内部 CODEC DAC 使用，RX 单元专用于给 CI1303 芯片的内部 CODEC ADC 使用；IIS2 为专用 IIS，仅支持 RX 接收功能，专用于连接芯片内部 PDM 模块。

CI1303 有 IIS 专用的 DMA 控制器，用于内存 memory 与 IIS 之间的数据传输，所有 IIS 共用一个 DMA 控制器 IISDMA0，每个 IIS 使用 IISDMA0 的不同

通道。

3.6.2 特性

- IIS 接口由 MCLK、SCK、LRCLK、SDI、SDO 这些信号线组成；
- MCLK：主时钟，一般是音频采样率(LRCLK 的频率)的 128/192/256/384 倍；
- SCK：串行位时钟，每个 SCK 周期传输 1bit 数据；
- LRCLK：帧时钟，用于切换左右声道的数据；
- IIS 格式下 LRCLK 为 0 表示当前数据帧是左声道数据，为 1 表示当前数据帧是右声道数据；
- 左/右对齐格式下 LRCLK 为 0 表示当前数据帧是右声道数据，为 1 表示当前数据帧是左声道数据；
- SDI/SDO：串行数据输入/输出，用于传输音频数据；
- LRCLK 与 SCK 的比例通过 IISRX0CTRL/IISTX0CTRL 寄存器可配置为 1:32 或 1:64；
- 收发数据格式通过 IISRX0CTRL/IISTX0CTRL 寄存器可配置为 IIS 格式、左对齐格式和右对齐格式；
- 收发数据位数通过 IISRX0CTRL/IISTX0CTRL 寄存器可配置为 16bit、20bit、24bit、32bit；
- 使用单声道模式时，支持声道数据拷贝功能，发送时单声道数据同时发送到左右两个声道，接收时左右两个声道合并成单声道的数据；
- 采样数据位宽为 16bit 时，支持声道数据合并功能，具体功能原理见下图；

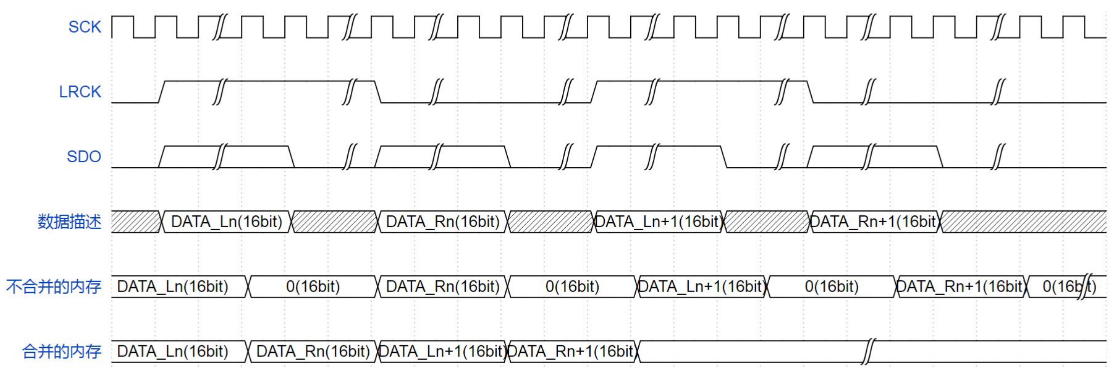


图 6：声道合并功能原理图

- 接收和发送数据时左右声道数据支持对调，接收的左右通道数据对调通过 IISRX0CTRL 寄存器配置，发送的左右通道数据对调通过 IISTX0CTRL 寄存

器配置；

- 接收和发送数据通道完全独立；
- 支持静音模式，接收时通过通过 IISRX0CTRL 寄存器配置，发送时通过 IISTX0CTRL 寄存器配置；
- 支持声道数配置，接收时通过通过 IISRX0CTRL 寄存器配置单声道或双声道，发送时通过 IISTX0CTRL 寄存器配置单声道或双声道；

3.7 集成电路总线(IIC)

3.7.1 简介

IIC 是一种双向双线同步串行总线，包括 SDA(串行数据线)和 SCL(串行时钟线)，SDA 和 SCL 管脚均为开漏输出。IIC 总线通常用于单个或多个主设备和单个或多个从设备之间通信，每个连接到总线上的设备都有一个唯一的地址，同一时刻仅允许有一个 master 主设备发起请求访问 slave 从设备。

CI1303 支持 1 个 IIC，其数据帧格式通常由起始信号、地址信号、应答信号、数据信号和停止信号五部分组成，支持标准传输速率 100kbit/s 和快速传输速率 400kbit/s 两种模式。

3.7.2 特性说明

- SDA：串行数据线，双向 I/O 线；
- SCL：串行时钟线，由 master 提供；
- 支持 master 和 slave 模式可寄存器配置；
- master：作为 master 主设备时启动总线传输数据，并产生时钟；
- slave：作为 slave 从设备时被寻址的从设备，具有唯一地址；
- 起始信号：SCL 为高电平时，SDA 从高电平跳变至低电平，表示传输开始；
- 地址信号：支持 7 位寻址模式，包含 7bit 地址位和 1bit 读写位；
- 应答信号：ACK 接收成功，NACK 接受失败或传输结束；
- 数据信号：按 Byte 传输，先发送最高位 MSB 最后发送最低位 LSB；
- 停止信号：SCL 为高电平时，SDA 从低电平跳变至高电平，表示传输结束；
- 总线传输速率可配置为标准-100kbit/s 和快速-400kbit/s；

3.7.3 时序图

主设备通过产生 Start 起始条件来启动通信：在 SCL 为高电平时将 SDA 拉低，并通过 SCL 发送 8 个时钟脉冲用于传输 1 个 Byte，该 Byte 包含 7Bit 地址位和一 Bit 读/写位。若从设备的地址与传输的 7Bit 地址匹配，则产生应答信号。主设备和从设备可根据读/写位判断是发送还是接收数据，并根据应答位的逻辑电平判断是否结束数据传输。在数据传输过程中，SDA 仅在 SCL 为低时发生变化。一旦完成通信，主设备发送 STOP 停止条件来结束通信：在 SCL 为高电平时将 SDA 拉高。

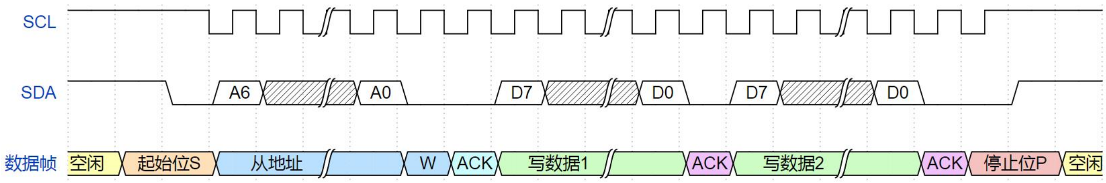


图 7： 连续写数据操作时序图

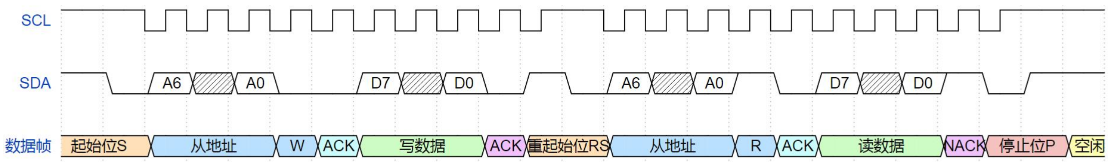


图 8：先写后读操作时序图

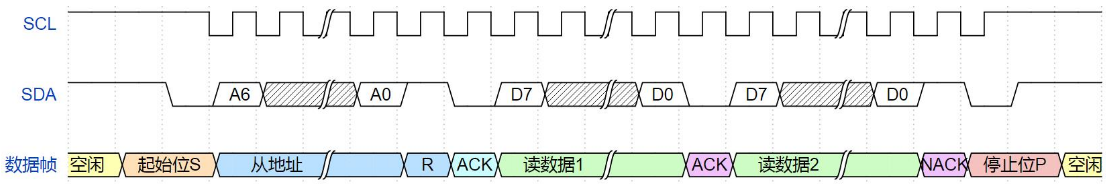


图 9：IIC 读操作时序图

3.8 独立看门狗(IWDG)

3.8.1 简介

IWDG 是一种硬件定时电路，主要用于监测系统由于工作异常而引发的故障并从故障中进行恢复。

3.8.2 特性

CI1303 支持 1 个 IWDG 模块，IWDG 是基于一个 32 位递减计数器，计数器从装载值开始递减，计数值计数到 0 时，产生超时中断，计数器重新加载装载值，计数值再次计数到 0 时，若超时中断未被清除，则 IWDG 将产生复位请求。

可通过 SYS_RESET_CFG 寄存器配置复位域的范围。

3.9 多媒体音频编解码器(CODEC)

3.9.1 简介

CI1303 内置高性能低功耗音频 CODEC，支持两路 ADC、一路 DAC，MIC 输入的模拟信号经 MIC 增益，再经 PGA 放大。此 PGA 可通过 CODEC 本身的 ALC 控制，PGA 之后，还可通过数字增益进行放大。

3.9.2 特性

- DAC 支持最多 24bit，SNR 可达 90dB；
- ADC 支持最多 24bit，SNR 可达 90dB；
- 支持单端、差分的 MIC 输入和 line-in 输入；
- 支持 ALC 自动增益控制；
- 采样率支持：8k/12k/16k/24k/32k/44.1k/48k；

4 电气特性

表 3： 电气特性表

符号	描述	最小值	典型值	最大值	单位
VIN5V	PMU输入管脚电压，一般为5V	3.6	5	5.5	V
AVDD	模拟和Codec供电电压	2.97	3.3	3.63	V
VDD33	芯片IO供电电压	2.97	3.3	3.63	V
VDD11	芯片内核供电电压	0.99	1.1	1.22	V
V_{IH}	输入高电压，3.0V ≤ VDD33 ≤ 3.6V	0.7×VDD33	-	-	V
V_{IL}	输入低电压，3.0V ≤ VDD33 ≤ 3.6V	-	-	0.3×VDD33	V
V_{OL}	输出低电压 @I_{OL} = 12mA	-	-	0.4	V
V_{OH}	输出高电压 @I_{OH} = 20mA	2.4	-	-	V
I_{5VIO}	IO（5V耐压）输出3.3V时驱动电流	5	-	23	mA
I_{33VIO}	IO（3.3V耐压）输出3.3V时驱动电流	12	-	26	mA
ΣIVDD	芯片所有IO总电流之和	-	-	180	mA
Pde	采用5V供电，芯片1.1V采用外部DC-DC芯片供电，正常识别时5V输入的总功耗（环境温度TA = 25 °C）	70	-	150	mW
Pdi	采用5V给芯片供电，芯片采用内部PMU，正常识别时5V输入的总功耗（环境温度TA = 25 °C）	145	-	250	mW
RC振荡器精度 Note1	TA = -40 to 85℃	-4	-	+3	%
	TA = -20 to 85℃	-3	-	+3	%
	TA = -10 to 70℃	-2.5	-	+2.5	%
TA Note2 Note3	芯片采用外部晶振可适应的工作环境温度	-40	-	+85	℃
	芯片采用内部RC振荡器可适应的工作环境温度	-10	-	+70	℃

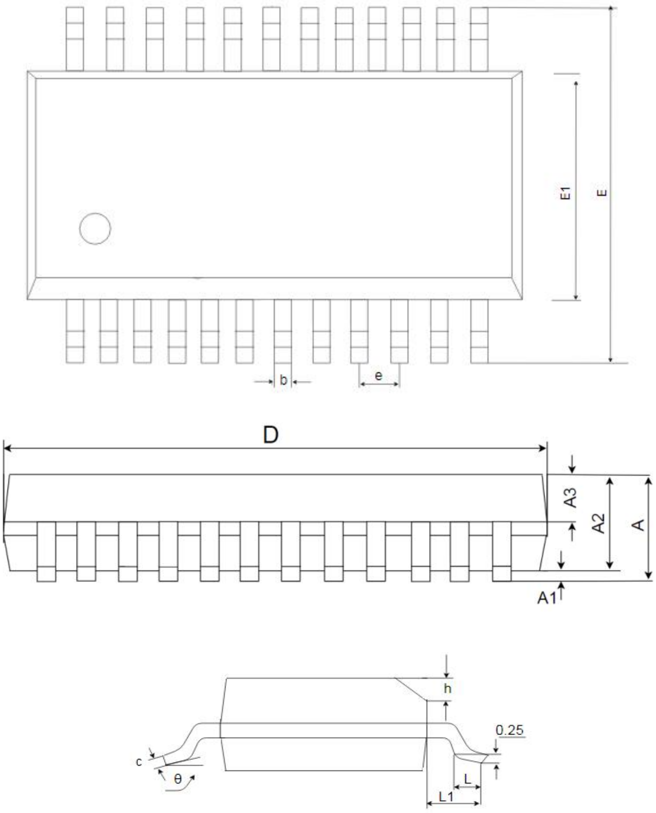
T_{ST}	芯片储存环境温度	-55	-	+150	℃

Note1：芯片内置的 RC 振荡器会随环境温度变化产生一定的温漂。该时钟温漂可能对需要高精度时钟的应用，或者与上位机串口通信的准确率带来影响。

Note2:应用方案需要高精度时钟的,或者需要进行串口通信且环境温度范围超过-10 到 70℃的，建议采用外部晶振作为时钟源，工作环境温度可以达到或超过工业标准规格。如采用内部 RC 振荡器作为时钟源，串口通信波特率必须小于或等于 115200bps，同时与上位机串口波特率之间总偏差不得超过 4%，以保证良好通信。工作环境温度为-10 到 70℃的，配合的上位机串口波特率偏差在该温区须不超过±1.5%。如工作环境温度为-20 到 85℃的，上位机串口波特率偏差在该温区须不超过±1%。

Note3：当上位机为免晶振设计时，需要尽量减小通讯误差。启英泰伦可提供串口波特率自适应方案，该方案需要在串口协议中增加一个握手指令，并且上位机保证在收到该握手指令的 50ms 内会按照协议要求回复。增加该自适应方案后，产品可以用于工作环境温度为-20 到 85℃的场景。

5 封装信息



COMMON DIMENSIONS

SYMBOL	UNIT：MILLIMETER		
	MIN	NOM	MAX
A	_	_	1.75
A1	0.10	0.15	0.25
A2	1.30	1.48	1.50
A3	0.6	0.65	0.70
b	0.23	_	0.31
c	0.20	_	0.24
D	8.55	8.6	8.75
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	0.635BSC		
h	0.30	_	0.50
L	0.50	_	0.80
L1	1.05REF		
θ	0	_	8°

图 10：封装尺寸图

6 订购信息

表 4： 订购信息表

Orderable Device	Flash	Status	Package Type	Pins	Package Qty	Eco Plan	MSL Peak Temp	Op Temp (°C)
CI1303	4MByte	MP	SSOP24/Tube	24	50	RoHS & Green	Level-3 260C-UNLIM	-40 to 85

7 应用方案

7.1 应用参考电路图

CI1303 芯片外围仅需要少量器件就可以支持各类语音应用。针对语音部分，该芯片可以支持单麦克风差分输入或单麦克风单端输入，也可以选择是否需要 AEC 回声消除功能。用户可以根据设计的应用方案功能、功耗和成本要求选择合适的电路，下面对该芯片一个最简单的应用参考电路图做具体描述。

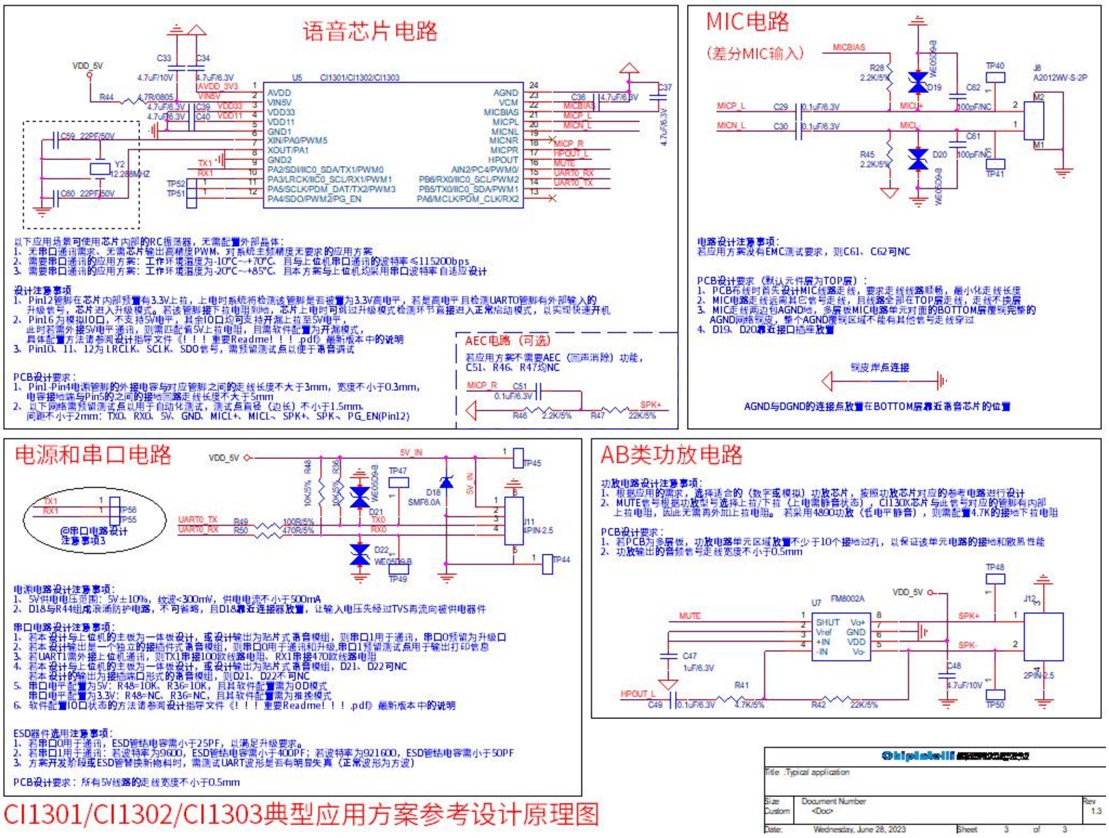


图 11：CI1303 典型方案的应用参考电路图

上图为 CI1303 一个支持单麦克风差分输入和功放输出的典型应用方案电路图。用户在设计具体产品时请根据具体产品功能到启英泰伦文档中心和 AI 平台下载参考原理图和参考 PCB。文档中心链接如下：硬件设计参考

该芯片可以采用 5V 直接供电，用户可按照上图中对应的外围器件规格来进行设计。芯片内置 RC 振荡器，正常应用时可不使用外部晶振，但如果用户方案对晶振精度有较高的要求，可以另外增加外部晶振的设计。部分应用场景需要在麦克风输入添加 ESD 器件，串口需要串接电阻。

原理图设计时如果要考虑板级在线升级功能，可以将 UART0 引脚引出，以方便 PCB 板贴片完成后通过 UART0 对主芯片内部的 Flash 进行固件升级。芯片的 PA4（PG_EN）引脚内部

带上拉，上电默认为升级模式，开机后要检测外部 UART0 口发来的升级信号，如果有则直接启动升级。芯片默认的开机时间因为增加了升级模式的检测而延长，大概约 850mS；如果用户对开机时间有很高的要求，可以将 PA4 脚引出，增加两个 2.2KΩ的下拉电阻到地，两个 2.2KΩ电阻连接的中间增加一个测试点，此时芯片开机为正常模式，开机时间大概约 350mS，可以缩短开机时间。如果此时要在线升级可以通过外部给两个 2.2KΩ电阻连接的中间测试点供高电平，将 PA4 引脚拉高，再通过 UART0 升级。

该芯片方案可选用差分麦克风设计或单端麦克风设计，推荐采用上图中的差分麦克风设计。如果用户对成本有要求，可以将上图中麦克风部分修改为单端麦克风设计，可以比差分麦克风少使用一些被动器件，但该方式仅推荐应用在麦克风线长小于 20 厘米的场合中，否则会因为线太长，抗干扰效果不够，导致语音识别效果没有差分麦克风设计的方式好。上图中功放采用的是 AB 类的功放，推荐采用 8002 功放芯片，用户也可以按照方案的要求自行选择功放芯片，如果不需要功放功能时也可以去掉该部分电路以降低成本。用户如果有 AEC 回声消除功能的需求，可以利用一个麦克风输入通道来接 AEC 的模拟信号输入。

用户如果对方案的功耗没有特殊要求时，建议直接采用芯片内部的 PMU 供电，如果有功耗要求，可以采用增加外部 DCDC 芯片给芯片 1.1V 供电，以降低功耗。芯片的 UART 口均支持 5V 通信，上图中的 UART0 口是接的 3.3V 信号，如果要接 5V，在 UART0 的 RX 和 TX 管脚外围增加连接到 5V 的上拉电阻即可，不用额外增加电压转换电路。

7.2 应用其它注意事项

1. 芯片内置的 RC 振荡器因半导体技术原理，在高温和低温环境会产生一定的温漂，用户的应用场景的工作温度范围如果为-40 到 85℃的，推荐电路方案采用外接晶振。另外，如果应用场景中需要高精度 PWM 输出（频率精度误差要求小于±2%）或高速串口通信（波特率大于 115200bps），也推荐采用外接晶振。

2. 如果应用场景的工作温度范围在-10 到 70℃，且仅和上位机进行低速串口通信（波特率小于或等于 115200bps），该类电路方案可以直接采用芯片内置的 RC 振荡器（上位机频偏 ≤ ±1.5%）。当上位机为免晶振设计时，需要尽量减小通讯误差。启英泰伦可提供串口波特率自适应方案，该方案需要在串口协议中增加一个握手指令，并且上位机保证在收到该握手指令的 50ms 内会按照协议要求回复。增加该自适应方案后，产品可以用于工作环境温度为-20 到 85℃的场景。

3. 如果应用场景对 RC 振荡器的频率精度无要求，可采用芯片内置的 RC 振荡器。

4. 芯片集成了 PMU 管理单元，PMU 包含三个 LDO，分别给芯片提供 3.3V 和 1.1V 电压，如对功耗无特殊要求，方案无需外部电源芯片，外供 5V 电源纹波需小于 300mV。

5. 芯片采用无铅环保工艺制造，SMT 焊接时请按照无铅标准设置炉温和时间等参数。

6. 芯片取用、包装时需注意静电影响，建议采用抗静电材料隔离。

7. CI1303 芯片支持大容量神经网络模型，具备更好的降噪效果并支持 OTA 升级功能。

8 修订历史

表 5：修订历史

修订版本	修订内容	修订日期
1.0	初始版本	2022.04.14
1.1	1、新增芯片命名规则 2、修改电气性能表格 3、修改文字细节描述	2022.07.13
1.2	1、新增芯片采用内部 RC 振荡器可适应的工作环境温度 2、新增 RC 振荡器精度说明	2022.12.06
1.3	1、新增芯片接口描述章节	2025.06.24