ChipIntelli

成都启英泰伦科技有限公司

Chipintelli Technology Co.,Ltd.

设计方案名称： CI1332X 低功耗应用方案参考设计原理图

方案特点：CI1332X芯片，单麦差分输入，支持播报音输出功能

应用场景：可广泛应用于有单麦输入、播报音输出需求的终端

更多资料参考我司官网：https://document.chipintelli.com

设计时间：

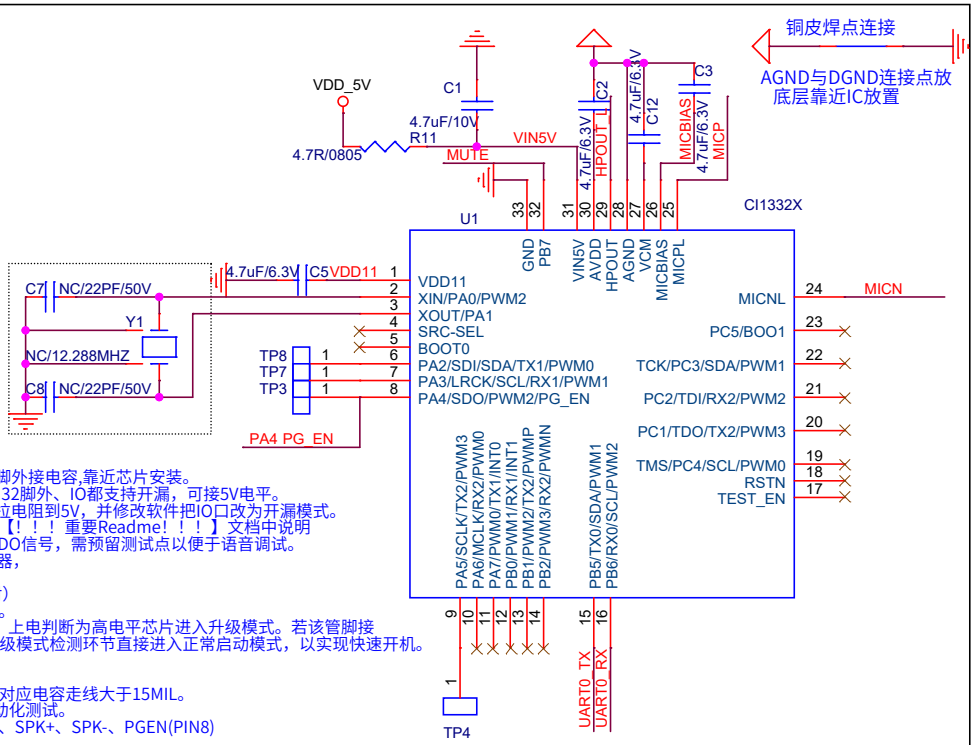
特别提示:
1、启英泰伦提供了全系列芯片的多种应用方案参考设计原理图，可以满足多种应用的需求；
2、应用方案进行应用设计时，需结合应用终端的系统特性和具体应用场景，在启英泰伦提供的多种参考设计中，选择最适合终端应用的设计方案进行参考和应用设计优化。
3、由于启英泰伦无法掌握所有终端产品的系统特性和应用需求，终端产品在应用设计和设计验证阶段，均应注意阅读参考设计原理图中的应用说明和设计注意事项，并与我司FAE人员保持充分的沟通。

ChipIntelli 成都启英泰伦科技有限公司 Chipintelli Technology Co.,Ltd.		
Title： Front Cover		
Size B	Document Number <Doc>	Rev 1.3
Date: Wednesday, October 16, 2024	Sheet 1 of 3	

版本	修改记录	作者
V1.0	初版	启英泰伦

ChipIntelli 成都启英泰伦科技有限公司 Chipintelli Technology Co.,Ltd.		
Title ： Revision History		
Size A	Document Number <Doc>	Rev 1.0
Date: Saturday, September 21, 2024	Sheet 2 of 3	

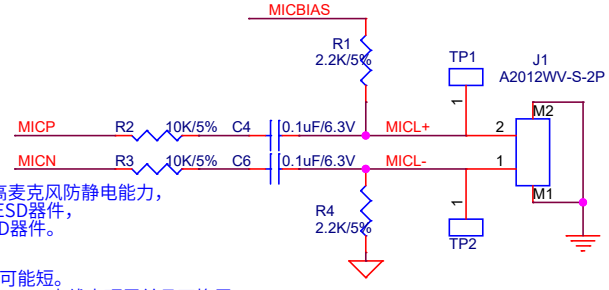
语音芯片电路



1、芯片5V、VDD33、VDD11三个引脚外接电容,靠近芯片安装。
2、除3、4、19、20、21、22、23、32脚外、IO都支持开漏，可接5V电平。
3、IO接5V电平，开漏输出需要加上拉电阻到5V，并修改软件把IO口改为开漏模式。
//5V开漏模式软件配置参考文件夹中【！！！重要Readme！！！】文档中说明
4、Pin7、8、9为 LRCLK、SCLK、SDO信号，需预留测试点以便于语音调试。
5、常规应用使用芯片内部的RC振荡器，
以下环境需贴装外部晶体：
a、高精度PWM输出（如红外发射）
b、对系统主频精度有要求的应用。
6、Pin8管脚在芯片内部有3.3V上拉，上电判断为高电平芯片进入升级模式。若该管脚接下拉电阻到地，芯片上电时可跳过升级模式检测环节直接进入正常启动模式，以实现快速开机。

PCB设计要求
1、PIN1\PIN31\PIN30电源脚连接到对应电容走线大于15MIL。
2、以下网络需要加测试点，用于自动化测试。
TX0、RX0、5V、GND、MIC+、MIC-、SPK+、SPK-、PGEN(PIN8)

MIC电路
（差分MIC输入）



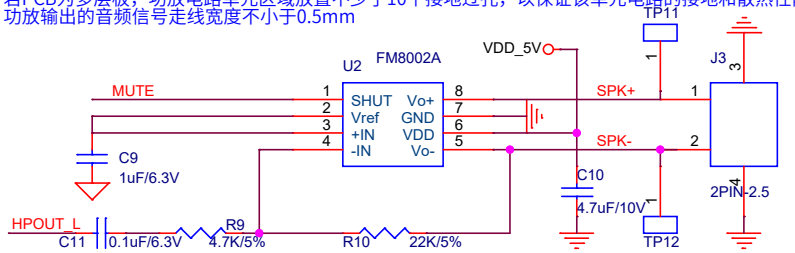
麦克风输入电阻R2\R3可以提高麦克风防静电能力，
增加后一般应用场景可不添加ESD器件，
高可靠性要求应用建议增加ESD器件。

PCB设计要求
1、优先设计MIC走线，要求尽可能短。
2、MIC电路走线远离其它走线，MIC走线走顶层并且不换层。
3、MIC电路底层铺GND,MIC两边包GND，保证底层完整的GND。

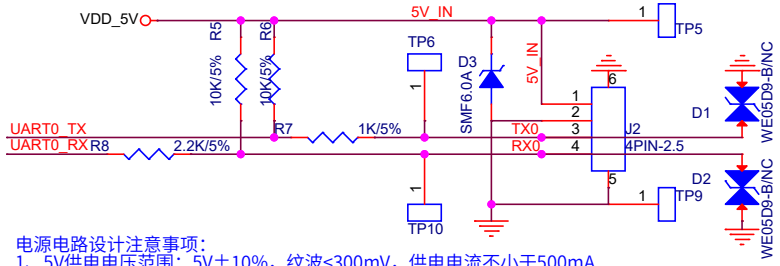
AB类功放电路

功放电路设计注意事项：
1、根据应用的需求，选择适合的（数字或模拟）功放芯片，按照功放芯片对应的参考电路进行设计
2、MUTE信号根据功放型号选择上拉/下拉（上电需静音状态），CI130X芯片与此信号对应的管脚有内部上拉电阻，因此无需再外加上拉电阻。 若采用4890功放（低电平静音），则需配置4.7K的接地下拉电阻

PCB设计要求：
1、若PCB为多层板，功放电路单元区域放置不少于10个接地过孔，以保证该单元电路的接地和散热性能
2、功放输出的音频信号走线宽度不小于0.5mm



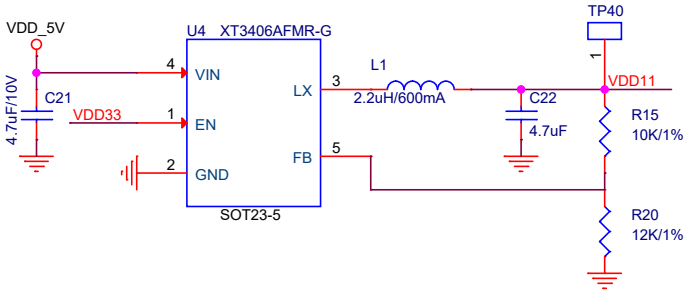
电源和串口电路



电源电路设计注意事项：
1、5V供电电压范围：5V±10%，纹波<300mV，供电电流不小于500mA
2、D3与R11组成浪涌防护电路，且D3靠近连接器放置，输入浪涌大于10v需安装

串口电路设计注意事项：
1、若本设计与上位机的主板为一体板设计，或设计输出为贴片式语音模组，则串口1用于通讯，串口0预留为升级口
2、若本设计输出是一个独立的接插件式语音模组，则串口0用于通讯和升级,串口1预留测试点用于输出打印信息
3、串口电平配置为5V：R5=10K、R6=10K，且其软件配置需为OD模式
串口电平配置为3.3V：R5=NC、R6=NC，且其软件配置需为推挽模式

TX串接电阻选型注意：
1、串口TX所串联的总电阻不大于1k，若MCU端的RX有串电阻，减小R7的值使得总的电阻小于等于1K
2、样板需要上电测试UART波形是否有失真，并测量TX的低电平，需要低于600mv，
若TX的低电平高于600mV，建议减小R7使得低电平低于600mV



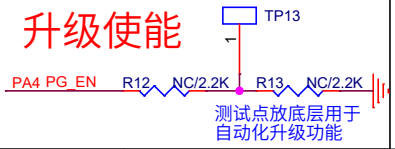
应用说明：
1、应用方案有超低待机功耗需求，才有必要应用该DCDC单元电路为CI1332X芯片提供1.1V电压
2、芯片详细功耗参数可查阅芯片的Datasheet，该Datasheet或从我司AI平台https://document.chipintelli.com--硬件开发--芯片数据手册目录中获取
3、若需应用该电路，软件设计需关闭芯片内部的LDO输出，具体操作方法请参阅设计指导文件《！！！重要Readme！！！.pdf》最新版本文档中的说明。

电路设计注意事项：
1、采用该电路，DCDC和电感优先选用我司兼容列表内的型号。
2、1.1V电压输出规格要求：1.1V±5%，纹波不大于±25mV，电流≥150mA。

PCB设计要求：
1、滤波电容C21靠近电源芯片管脚放置
2、保证DCDC电路单元下方BOTTOM层GND覆铜的完整性，不可有信号走线从该覆铜区域穿过。
3、DCDC电路单元区域放置不少于10个接地过孔，以保证该单元电路的接地和散热性能。
4、1.1V信号走线线路宽度不小于0.3mm

R12	R13	说明
NC	NC	上电默认升级模式，开机时间约850mS适用于对上电时间要求不高的产品
2.2K	2.2K	上电正常工作模式，开机时间约350mS，通过测试点后上电可以进入升级模式适用于对上电时间有要求的产品

升级使能



CI1332X低功耗应用方案参考设计原理图

ChipIntelli 成都启英泰伦科技有限公司 ChipIntelli Technology Co.,Ltd.

Title :Low Power application

Size	Document Number	Rev
Custom	<Doc>	1.0

Date: Wednesday, October 16, 2024 Sheet 3 of 3