



设计方案名称： CI1301/CI1302/CI1303 低功耗应用方案参考设计原理图

方案特点：单麦差分输入、播报音输出，1.1V电源采用外部DCDC供电，降低系统功耗

应用场景：有超低功耗要求的应用终端

更多资料参考我司官网：<https://document.chipintelli.com>

设计时间：20230622

**特别提示：**

- 1、启英泰伦提供了全系列芯片的多种应用方案参考设计原理图，可以满足多种应用的需求；
- 2、应用方案进行应用设计时，需结合应用终端的系统特性和具体应用场景，在启英泰伦提供的多种参考设计中，选择最适合终端应用的设计方案进行参考和应用设计优化。
- 3、由于启英泰伦无法掌握所有终端产品的系统特性和应用需求，终端产品在设计验证阶段，均应注意阅读参考设计原理图中的应用说明和设计注意事项，并与我司FAE人员保持充分的沟通。



Title : Front Cover		
Size B	Document Number <Doc>	Rev 1.3
Date:	Wednesday, June 28, 2023	Sheet 1 of 3

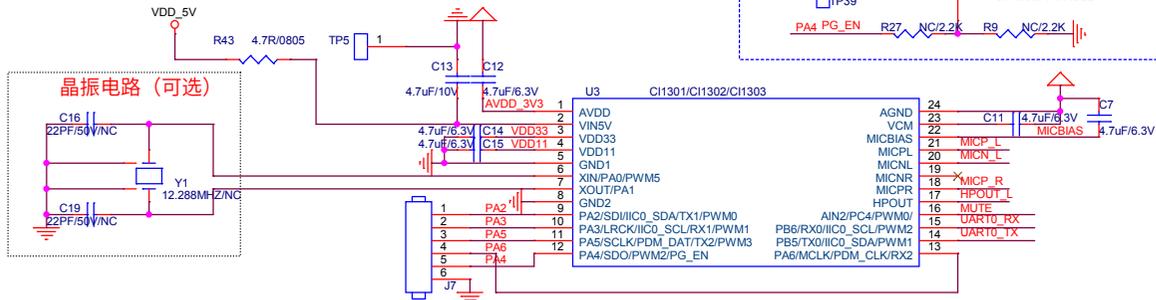
版本	修改记录	作者
V1.0	初版	启英泰伦
V1.1	修改文字描述	启英泰伦
V1.2	修改RC使用说明	启英泰伦
V1.3	RX线路串接电阻改为470欧，功放输入信号参考地采用AGND，优化文字描述	启英泰伦

 成都启英泰伦科技有限公司 Chipintelli Technology Co.,Ltd.		
Title : Revision History		
Size A	Document Number <Doc>	Rev 1.3
Date:	Wednesday, May 31, 2023	Sheet 2 of 3

## 语音芯片及外围电路

以下应用场景可使用芯片内部的RC振荡器，无需配置外部晶体：

1. 无串口通讯或OTA功能需求，无需芯片输出高精度PWM，对系统主频精度无要求的应用方案
2. 需要串口通讯的应用方案：工作环境温度为 $10^{\circ}\text{C}\sim+70^{\circ}\text{C}$ ，且与上位机串口通讯的波特率 $\leq 115200\text{bps}$
3. 需要串口通讯的应用方案：工作环境温度为 $-20^{\circ}\text{C}\sim+85^{\circ}\text{C}$ ，且本方案与上位机均采用串口波特率自适应设计



电路设计注意事项：

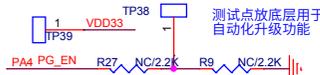
1. Pin6、16、17为模拟IO口，不支持5V电平，其余IO口均可支持开漏上拉至5V电平，此时若需外接5V电平通讯，则需匹配值5V上拉电阻，且需软件配置为开漏模式，具体配置方法请参见设计指导文件《!!!重要Readme!!!.pdf》最新版本中的说明
2. Pin10、11、12为LRCLK、SCLK、SDO信号，需预留测试点以便于语音调试

PCB设计要求：

1. Pin1、Pin4电源管脚的外接电容与对应管脚之间的走线长度不大于3mm，宽度不小于0.3mm，电容接地端与Pin5之间的接地回路走线长度不大于5mm
2. 以下网络需预留测试点以用于自动化测试，测试点直径（边长）不小于1.5mm、间距不小于2mm：TX0、RX0、5V、GND、MICL+、MICL-、SPK+、SPK-、PG\_EN(Pin12)、VDD11

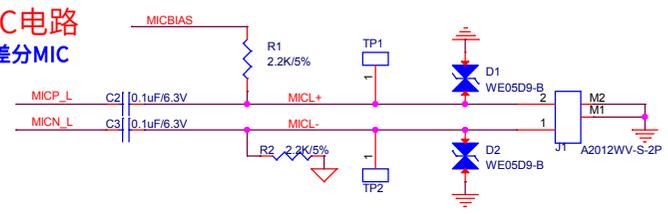
## 升级及快速开机电路

R9	R27	说明
NC	NC	上电即进入升级模式，此时若检测到UART0管脚有外部输入的升级信号则开始升级，开机时间约850ms，适用于无快速开机需求的应用方案
2.2K	2.2K	上电进入正常工作启动模式，适用于有快速开机需求的应用，上电开机时间约350ms（若需升级固件，则接TP8和TP9，上电即进入升级模式）



## MIC电路

差分MIC



PCB设计要求：

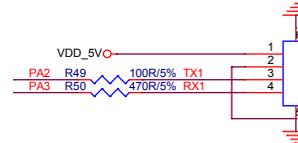
1. PCB布线时首先设计MIC线路走线，要求走线线路顺畅，最小化走线长度
2. MIC电路走线远离其它走线，且线路全部在TOP层走线，走线不换层
3. MIC走线两边包AGND地，MIC电路单元下方的BOTTOM层覆铜完整的AGND，整个MIC电路单元下方的覆铜区域无其他信号穿过
4. D1、D2靠近输入接口端口放置，保证走线线路先经过ESD，再接到电容
5. D1、D2接地端附近不少于3个接地过孔以保证接地性能
6. 若因布局限制导致ESD二极管与MIC信号线路之间需要有导线连接，则导线的宽度需不小于20mil
7. MIC接口端子需标注正负极，需有防止与喇叭接口端子插错的防呆设计

铜皮焊点连接

AGND与DGND的连接点放置在BOTTOM层靠近语音芯片的位置

## 串口1电路

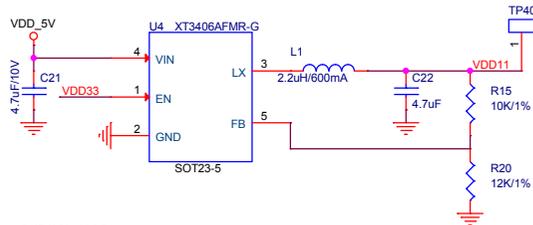
若UART1需外接上位机通讯，则TX1串接100欧线路电阻、RX1串接470欧线路电阻



## 外部1.1V DCDC供电电路

应用说明：

1. 应用方案有超低待机功耗需求，才有必要应用该dcDC单元电路为CI130x芯片提供1.1V电压
2. 芯片详细功耗参数可查阅芯片的Datasheet，该Datasheet或从我司AI平台<https://document.chipintelli.com>—硬件开发—芯片数据手册目录中获取
3. 若需应用该电路，软件设计需关闭芯片内部的LDO输出，具体操作方法请参见设计指导文件《!!!重要Readme!!!.pdf》最新版本文档中的说明

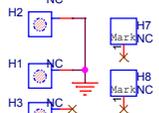


电路设计注意事项：

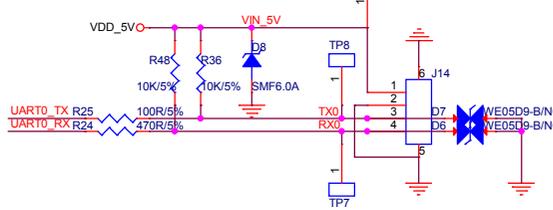
1. 采用该电路，dcDC和电感优先选用我司兼容列表内的型号。
2. 1.1V电压输出规格要求：1.1V±5%，纹波不大于25mV，电流≥150mA。

PCB设计要求：

1. 滤波电容C21靠近电源芯片管脚放置
2. 保证dcDC电路单元下方BOTTOM层GND覆铜的完整性，不可有信号走线从该覆铜区域穿过
3. dcDC电路单元区域放置不少于10个接地过孔，以保证该单元电路的接地和散热性能
4. 1.1V信号走线线路宽度不小于0.3mm



## 电源和串口电路



5V供电电路

1. 5V供电电压范围：5V±10%，纹波<300mV，供电电流不小于500mA
2. R43与D8组成浪涌防护电路，不能省略

PCB设计要求

1. D6、D7、D8靠近接口J14放置
2. 所有5V线路的走线宽度不小于0.5mm

串口电路设计注意事项

1. 若本设计与上位机的主板为一体板设计，或设计输出为贴片式语音模组，则串口1用于通讯，串口0预留为升级口
2. 若本设计输出为独立的接插件式语音模组，则串口0用于通讯和升级，串口1预留测试点用于输出打印信息
3. 若UART1需外接上位机通讯，则TX1串接100欧线路电阻、RX1串接470欧线路电阻
4. 若本设计与上位机的主板为一体板设计，或设计输出为贴片式语音模组，D6、D7不可NC
5. 若本设计的输出为独立的接插件式的语音模组，则D6、D7不可NC
6. 串口电平配置为5V：R48=10K、R36=10K，且其软件配置需为OD模式  
串口电平配置为3.3V：R48=NC、R36=NC，且其软件配置需为推挽模式
7. 软件配置IO口状态的方法请参见设计指导文件《!!!重要Readme!!!.pdf》最新版本中的说明

ESD器件选用注意事项：

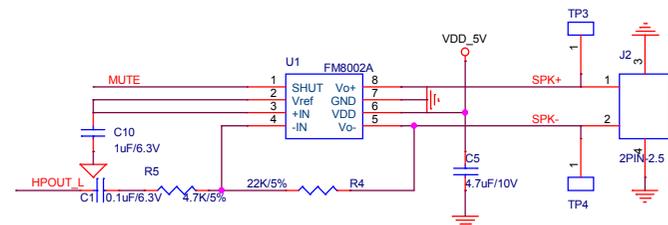
1. 若串口0用于通讯，ESD管结电容需小于25PF，以满足升级要求。
2. 若串口1用于通讯：若波特率为9600，ESD管结电容需小于400PF；若波特率为921600，ESD管结电容需小于50PF
3. 方案开发阶段或ESD管替换新物料时，需测试UART波形是否有明显失真（正常波形为方波）

## 功放电路

1. 根据应用的需求，选择适合的（数字或模拟）功放芯片，并按照功放芯片对应的参考电路进行设计
2. MUTE信号根据功放型号选择上拉/下拉（上电需静音状态），CI130x芯片与此信号对应的管脚有内部上拉电阻，因此无需再外加下拉电阻。若采用4890系列功放（低电平静音），则需配置4.7K的接地下拉电阻

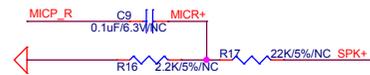
PCB设计要求：

1. 若PCB为多层板，功放电路单元区域放置不少于10个接地过孔，以保证该单元电路的接地和散热性能
2. 功放输出的音频信号走线宽度不小于0.5mm



## 模拟AEC电路（可选）

AEC（回声消除）为可选配置，若应用方案不需要AEC功能，C9、R16、R17均可NC



## CI1301&CI1302&CI1303低功耗应用参考设计原理图

Chipintelli 成都尚普电子科技有限公司		
Title : Low power applications		
Size Custom	Document Number <Doc>	Rev 1.3
Date: Wednesday, June 28, 2023	Sheet 3	of 3